

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

| | | | |
|-------------|--|-------------|-----------------|
| Applicant: | Brintzinger | Docket No.: | 2002 P 09238 US |
| Serial No.: | 10/732,979 | Art Unit: | 2811 |
| Filed: | December 11, 2003 | Examiner: | TBD |
| For: | Arrangement for the Protection of Three-Dimensional Structures on Wafers | | |

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 102 58 093.6
Filing Date: December 11, 2002

Respectfully submitted,



Ira S. Matsil
Reg. No. 35,272
Attorney for Applicant

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 58 093.6

Anmeldetag: 11. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Anordnung zum Schutz von 3-D Strukturen auf
Wafers

IPC: H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stark



5 **Anordnung zum Schutz von 3-D Strukturen auf Wafern**

Die Erfindung betrifft eine Anordnung zum Schutz von 3-D Strukturen auf Wafern, wie 3-D Kontakt-Strukturen in Form von elastischen bzw. nachgiebigen Bumps, die über eine Leitbahn (Reroute Layer) mit einem Bond Pad auf dem Wafer elektrisch verbunden sind, wobei sich die Leitbahn auf die funktionelle 3-D Struktur erstreckt und aus einer Cu/Ni-Schicht besteht, die mit einer Au-Schicht abgedeckt ist und eine Anordnung zum Schutz der 3-D Strukturen.

Die stetig steigende Anzahl elektrischer Verbindungen zwischen Wafern und deren Trägerelementen und insbesondere die erforderliche Miniaturisierung im Sinne von möglichst flachen Baugruppen, hat zum Einsatz der direkten Kontaktierung der Halbleiterchips auf den Trägerelementen (Flip-Chip Bonden) geführt.

Um jedoch eine direkte Kontaktierung von Halbleiterchips auf Trägerelementen, wie einem PCB (Printed Circuit Board), zu ermöglichen, ist es erforderlich, auf dem Halbleiterchip 3-D Strukturen herzustellen, die auf ihrem jeweils höchsten Punkt in einer vergoldeten Kontaktfläche enden und über eine Leitbahn mit einem Bond Pad des Wafers verbunden sind. Diese vergoldete Kontaktfläche kann dann mit einem Mikroballe o. dgl. aus einem Lotmaterial versehen und mit einem entsprechenden Lötkontakt auf dem PCB elektrisch und mechanisch verbunden werden.

Um einen gewissen Ausgleich von mechanischen Belastungen der fertigen Baugruppe, z.B. verursacht durch unterschiedliche thermische Ausdehnungskoeffizienten der einzelnen Komponenten,

zu erreichen, wird das Basiselement der 3-D Struktur aus einem nachgiebigen Material, z.B. Silicon, hergestellt, so dass nach dessen Metallisierung eine dreidimensionale, mechanisch flexible Struktur entsteht, die mit dem Wafer fest verbunden ist.

5

Die für die elektrische Verbindung zwischen dem Bond Pad und der 3-D Struktur verwendeten Leitbahnen werden auf einer Seed Layer (Keimschicht) aufgebaut, auf der eine Cu-Leitbahn und darüber eine Ni-Schicht aufgewachsen ist. Die Ni-Schicht dient zum Schutz der Cu-Schicht vor Korrosion. Unter der Seed Layer und dem Basiselement befindet sich in der Regel ein Dielektrikum, so dass sichergestellt ist, dass eine elektrische Verbindung nur zwischen dem Kontaktelement auf der 3-D Struktur und dem zugehörigen Bond Pad besteht.

15

Um eine Lötbarkeit des Kontaktelementes zu erreichen, muss die Nickelschicht in diesem Bereich zumindest auf der Spitze der 3-D Struktur mit Gold beschichtet werden.

20 Bei einem derzeit praktisch angewendeten Verfahren zur Strukturierung von 3-D Strukturen wird die notwendige Strukturierung der Goldschicht durch einen allgemein bekannten lithographischen Prozess realisiert. Die Strukturierung der Funktionselemente erfolgt hier dadurch, dass nach der Abscheidung der Seed Layer und der Cu/Ni-Schicht der Redistribution Layer das Gold auf der gesamten Redistribution Layer abgeschieden wird. Nachfolgend wird die Goldschicht durch eine Lithographie so abgedeckt, dass eine selektive Ätzung bzw. Strippen der nicht erwünschten Bereiche der Goldschicht erfolgen kann und zum Schluss nur noch eine Goldschicht im Bereich der 3-D Struktur übrig bleibt. Die hierdurch hergestellte 3-D Struktur soll nachfolgend als funktionelle 3-D Struktur bezeichnet werden, da diese für die elektrische Kontaktierung der aus dem Wafer vereinzelt Chips mit Trägerelementen unbedingt erforderlich sind.

35

Dieses Verfahren lässt sich zusammengefasst mit folgendem Prozessfluss darstellen:

- 5 - Abscheidung der Seed Layer
- EPR1 (Epoxy Photoresist 1): Beschichten und Strukturieren (Lithographieschritt 1)
- Reroute plating, Herstellen der Cu/Ni-Schicht auf der Seed Layer
- 10 - Beschichten der Reroute Trace mit Au
- EPR2 (Epoxy Photoresist 2): Beschichten und Strukturieren (Lithographieschritt 2)
- selektives Ätzen der Au-Schicht (Nassätzen oder Abtragen/Strippen)

15

Die mit diesem Verfahren hergestellten funktionellen 3-D Strukturen müssen allerdings im Waferverbund, also vor deren Vereinzelung in einzelne Chips, auf ihre Funktionsfähigkeit geprüft werden. Dazu müssen die Wafer einer Testeinrichtung zugeführt werden, in der gleichzeitig sämtliche funktionellen 3-D Strukturen elektrisch kontaktiert werden können, d. h. so dass ein elektrischer Kontakt zu einer Prüfschaltung hergestellt wird. Dabei muss darauf geachtet werden, dass die nachgiebigen funktionellen 3-D Strukturen einerseits mit ausreichender Kraft mit der Testeinrichtung kontaktiert werden, andererseits aber nicht mechanisch überlastet bzw. zerstört werden. Es muss also sichergestellt werden, dass das Wafer unter definierten Bedingungen auf die Testeinrichtung aufgesetzt wird.

- 20
- 25
- 30 Ein weiteres Problem, das mit der Verwendung von nachgiebigen funktionellen 3-D Strukturen einhergeht, ist die recht hohe Empfindlichkeit gegen Beschädigung bei deren Handling. Also beim Transport, oder bei der Zwischenablage.

- 35 Nach dem Vereinzeln der Wafer in einzelne Chips und deren Ver-

löteten mit einem Trägerelement werden die funktionellen 3-D Strukturen durch das Trägerelement geschützt. Das bedeutet, dass die empfindlichen funktionellen 3-D Strukturen in der Hauptsache im Waferverbund, also vor der Vereinzelung, gegen
5 Beschädigung geschützt werden müssen.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Anordnung zum Schutz von funktionellen 3-D Strukturen auf Wafern zu schaffen, die einfach und sicher zu realisieren ist und die
10 insbesondere während der Handhabung und während des Prüfvorganges der Wafer in einer Testeinrichtung einen sicheren Schutz der 3-D Strukturen gewährleistet.

Die der Erfindung zugrundeliegende Aufgabenstellung wird dadurch gelöst, dass mehrere ausgewählte 3-D Strukturen auf dem Wafer mit einer mechanischen Verstärkung versehen sind, so dass diese 3-D Strukturen gegenüber den übrigen funktionellen 3-D
15 Strukturen zumindest teilweise eine größere mechanische Belastbarkeit aufweisen.

20 Auf diese besonders einfache Weise lässt sich ein sicherer Schutz der funktionellen 3-D Strukturen erreichen. Außerdem lassen sich die mechanisch verstärkten 3-D Strukturen realisieren, ohne dass ein Eingriff in das eingangs beschriebene
25 Herstellungsverfahren notwendig wäre.

Um die mechanisch größere Belastbarkeit zu erreichen, können die ausgewählten 3-D Strukturen eine geringere Kompressibilität aufweisen, als die übrigen funktionellen 3-D Strukturen. Auch
30 ist es problemlos möglich, die ausgewählten 3-D Strukturen so zu gestalten, dass diese gegenüber den übrigen funktionellen 3-D Strukturen eine geringfügig größere Höhe aufweisen. In beiden Fällen wird erreicht, dass eine auf das Wafer einwirkende Druckbelastung zunächst auf die ausgewählten 3-D Strukturen
35 einwirkt und von diesen in Grenzen aufgenommen werden kann.

In einer Fortführung der Erfindung weist das nachgiebige Basiselement der ausgewählten 3-D Strukturen ein gegenüber den übrigen funktionellen 3-D Strukturen deutlich größeres Volumen auf, so dass eine größere Höhe der ausgewählten 3-D Struktur und/oder eine geringere Kompressibilität gegenüber den anderen 3-D funktionellen Strukturen erreicht wird.

Weiterhin kann das nachgiebige Basiselement der ausgewählten 3-D Struktur mit einem Metallhelm oder durch einen metallischen Stützring geschützt werden, der das Basiselement der ausgewählten 3-D Struktur umgibt.

Es ist zweckmäßig, die ausgewählten 3-D Strukturen im Randbereich des Wafers regelmäßig verteilt anzuordnen und zwar in solchen Bereichen, die nach dem Vereinzeln der Wafer ohnehin nicht weiter verwendet werden.

Es ist selbstverständlich auch möglich, die ausgewählten 3-D Strukturen regelmäßig auf dem Wafer zu verteilen, wenn dies von der Flächenaufteilung angeraten ist.

In einer besonderen Ausgestaltung der Erfindung sind die ausgewählten 3-D Strukturen elektrisch kontaktierbar. Dadurch kann das Aufsetzen des Wafers auf eine Prüfstruktur einer Testeinrichtung elektrisch kontrolliert werden und anschließend durch eine definierte Krafteinwirkung die simultane Kontaktierung sämtlicher übrigen funktionellen 3-D Strukturen erreicht wird.

Nachfolgend soll die Erfindung an Ausführungsbeispielen näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

Fig. 1a: ein Wafer mit einem nachgiebigen Element und einer die Struktur überziehenden Seed Layer;

Fig. 1b: die Draufsicht auf die Struktur nach Fig. 1a;

Fig. 2a: die Struktur nach Fig. 1a, b nach einem Lithographieschritt mittels eines EPR1 und dem Abscheiden einer Ni-Schicht und einer Cu-Schicht über dem nachgiebigen Element;

Fig. 2b: die Draufsicht auf die Struktur nach Fig. 2a;

Fig. 3a: die Struktur nach Fig. 2a, b nach der Abscheidung einer Au-Schicht auf der Ni-/Cu-Schicht;

Fig. 3b: eine Draufsicht auf die Struktur nach Fig. 3a;

Fig. 4a: die fertige mit einem Metallhelm verstärkte 3-D-Struktur nach dem Strippen des EPR1 und dem Ätzen der Seed Layer;

Fig. 4b: eine Draufsicht auf die 3-D Struktur nach Fig. 4a;

Fig. 5a: die fertige mit einem Metallring verstärkte 3-D-Struktur nach dem Strippen des EPR1 und dem Ätzen der Seed Layer;

Fig. 5b: die Draufsicht auf die 3-D Struktur nach Fig. 5a;

Fig. 6: eine schematische Schnittdarstellung eines Wafers mit verstärkten 3-D Strukturen und funktionellen 3-D Strukturen; und

Fig. 7: ein Beispiel für den Aufbau einer funktionellen 3-D Struktur.

Die Fig. 1a, b bis 4a, b zeigen die Herstellungssequenz einer erfindungsgemäßen ausgewählten 3-D Struktur 1, die auf einem

Wafer 2 ausgebildet ist. Die fertiggestellte ausgewählte 3-D Struktur 1 besteht aus einem nachgiebigen Basiselement 3, z.B. aus Silikon, auf dem zunächst eine Seed Layer 4 aufgebracht worden ist, die dann durch eine Ni-Schicht 5 und eine Cu-Schicht 6 abgedeckt worden ist. Auf der Cu-Schicht 6 befindet sich schließlich noch eine Au-Schicht 7. Diese Au-Schicht 7 ist zwar für die Funktion der ausgewählten 3-D Struktur nicht unbedingt erforderlich, entsteht aber bei der Herstellung der funktionellen 3-D Strukturen 8 mit.

10

Der Grund hierfür besteht darin, dass die ausgewählten 3-D Strukturen 1 und die funktionellen 3-D Strukturen gleichzeitig hergestellt werden. Der einzige Unterschied besteht darin, dass für die ausgewählten 3-D Strukturen 1 größer dimensionierte nachgiebige Elemente 3 auf dem Wafer 2 aufgebracht werden und dass der Photolack EPRL so strukturiert wird, dass die gesamte Fläche der ausgewählten 3-D Struktur 1 freigehalten wird und somit beim Metallisieren eine helmartige Struktur entsteht. Im Gegensatz dazu sind die funktionellen 3-D Strukturen 8 über eine Metallleitbahn (Reroute Layer) mit einem Bond Pad 11 elektrisch verbunden, indem sich die Reroute Layer 9 bis auf die Spitze der funktionellen 3-D 8 Struktur erstreckt (Fig. 7).

20

Das Verfahren für die Herstellung der ausgewählten 3-D Strukturen 1 und der funktionellen 3-D Strukturen 8 lässt sich vereinfacht wie folgt darstellen:

25

- a: Abscheidung der Seed Layer
- b: EPRL (Epoxy Photoresist 1): Beschichten und Strukturieren (Lithographieschritt 1)
- c: Reroute plating, Herstellen der Cu/Ni-Schicht auf der Seed Layer
- d: Beschichten der Reroute Trace mit Au
- e: EPR2 (Epoxy Photoresist 2): Beschichten und Strukturieren (Lithographieschritt 2)

30

35

f: selektives Ätzen der Au-Schicht
(Nassätzen oder Abtragen/Strippen)

5 Mit den Schritten a - d werden auf sämtlichen 3-D Strukturen 1, 8 helmartige Strukturen erzeugt. Die nachfolgenden Schritte e, f dienen zur Strukturierung der Reroute Layer 9 (Metallleitbahn) auf den funktionellen 3-D Strukturen.

10 Die Herstellung des metallischen Stützringes 10 zum Schutz der ausgewählten 3-D Struktur 1 kann mit den gleichen Verfahrensschritten a - d erfolgen (Fig. 5a, b). Der einzige Unterschied besteht hier darin, dass die Spitze des nachgiebigen Elementes 3 während der Abarbeitung dieser Prozessschritte durch einen Resist abgedeckt wird, so dass auf dem nachgiebigen Element 3 kein Metall abgeschieden wird. Nach dem Strippen des Resists und dem Ätzen der Seed Layer 4 bleibt dann der aus Fig. 5a, b ersichtliche metallische Stützring 10 zurück.

20 Fig. 6 zeigt schließlich noch eine schematische Schnittdarstellung eines Wafers 2 mit verstärkten ausgewählten 3-D Strukturen 1 und funktionellen 3-D Strukturen 8. Aus dieser Darstellung wird klar ersichtlich, dass beim Aufsetzen des Wafers 2 auf eine ebene Unterlage zuerst die ausgewählten 3-D Strukturen 1 mit der Oberfläche der Unterlage in Kontakt kommen. Die funktionellen 3-D Strukturen 8 sind hier vollkommen vor Beschädigung, z.B. beim Verschieben des Wafers 2 auf der Unterlage, geschützt.

5 **Anordnung zum Schutz von 3-D Strukturen auf Wafern****Bezugzeichenliste**

- | | | |
|----|----|---------------------------|
| | 1 | ausgewählte 3-D Struktur |
| 10 | 2 | Wafer |
| | 3 | nachgiebiges Basiselement |
| | 4 | Seed Layer |
| | 5 | Ni-Schicht |
| | 6 | Cu-Schicht |
| 15 | 7 | Au-Schicht |
| | 8 | funktionelle 3-D Struktur |
| | 9 | Reroute Layer |
| | 10 | metallischer Stützring |
| | 11 | Bond Pad |

5 **Anordnung zum Schutz von 3-D Strukturen auf Wafern****Patentansprüche**

10

1. Anordnung zum Schutz von 3-D Strukturen auf Wafern, wie 3-D Kontakt-Strukturen, bestehend aus einem nachgiebigen Basis-
element, das über eine Leitbahn (Reroute Layer) mit einem Bond
Pad auf dem Wafer elektrisch verbunden ist, wobei sich die
15 Leitbahn auf die funktionelle 3-D Struktur erstreckt und aus
einer Cu/Ni-Schicht besteht, die mit einer Au-Schicht abgedeckt
ist und eine Anordnung zum Schutz der 3-D Strukturen,
da d u r c h g e k e n n z e i c h n e t, d a s s mehrere
ausgewählte 3-D Strukturen (1) auf dem Wafer (2) mit einer me-
20 chanischen Verstärkung versehen sind, so dass diese ausgewähl-
ten 3-D Strukturen (1) gegenüber den übrigen funktionellen 3-D
Strukturen (8) zumindest teilweise eine größere mechanische Be-
lastbarkeit aufweisen.

25 2. Anordnung nach Anspruch 1, da d u r c h g e k e n n -
z e i c h n e t, d a s s die ausgewählten 3-D Strukturen (1)
eine geringere Kompressibilität aufweisen, als die übrigen
funktionellen 3-D Strukturen (8).

30 3. Anordnung nach Anspruch 1 oder 2, da d u r c h g e -
k e n n z e i c h n e t, d a s s die ausgewählten 3-D Struktu-
ren (1) gegenüber den übrigen funktionellen 3-D Strukturen (8)
eine geringfügig größere Höhe aufweisen.

35 4. Anordnung nach einem der Ansprüche 1 bis 3, da d u r c h

gekennzeichnet, dass das nachgiebige Basiselement (3) der ausgewählten 3-D Strukturen (1) ein gegenüber den übrigen funktionellen 3-D Strukturen (8) deutlich größeres Volumen aufweist.

5

5. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das nachgiebige Basiselement (3) der ausgewählten 3-D Struktur (1) mit einem Metallhelm geschützt ist.

10

6. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das nachgiebige Basiselement (3) der ausgewählten 3-D Struktur (1) durch einen metallischen Stützring (10) umgeben ist.

15

7. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die ausgewählten 3-D Strukturen (1) im Randbereich des Wafers (2) regelmäßig verteilt angeordnet sind.

20

8. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die ausgewählten 3-D Strukturen (1) regelmäßig über das Wafer (2) verteilt angeordnet sind.

25

9. Anordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die ausgewählten 3-D Strukturen (1) elektrisch kontaktierbar sind.

5 **Anordnung zum Schutz von 3-D Strukturen auf Wafern****Zusammenfassung**

10 Der Erfindung, die eine Anordnung zum Schutz von 3-D-Strukturen auf Wafern betrifft, die 3-D-Kontaktstrukturen in Form von elastischen bzw. nachgiebigen Bumps, die über eine Leitbahn (Re-route-Layer) mit einem Bondpad auf dem Wafer elektrisch verbunden sind, liegt die Aufgabe zugrunde, eine Anordnung zum Schutz von funktionellen 3-D-Strukturen auf Wafern zu schaffen, die
15 einfach und sicher zu realisieren und die insbesondere während der Handhabung und während des Prüfvorganges der Wafer in einer Testeinrichtung einen sicheren Schutz der 3-D-Strukturen gewährleistet. Dies wird dadurch gelöst, dass mehrere ausgewählte 3-D-Strukturen auf dem Wafer mit einer mechanischen Verstärkung
20 versehen sind, so dass diese ausgewählten 3-D-Strukturen gegenüber den übrigen funktionellen 3-D-Strukturen zumindest teilweise eine größere mechanische Belastbarkeit aufweisen. (Fig. 7)

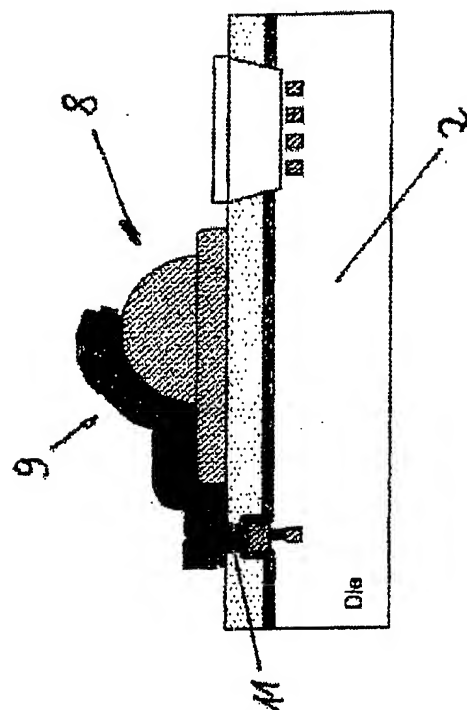


Fig. 7

